

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235090

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	6918-4M		
27/04	E	8427-4M		

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平4-31163

(22)出願日 平成4年(1992)2月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 橋本 義春

東京都港区芝五丁目7番1号日本電気株式会社内

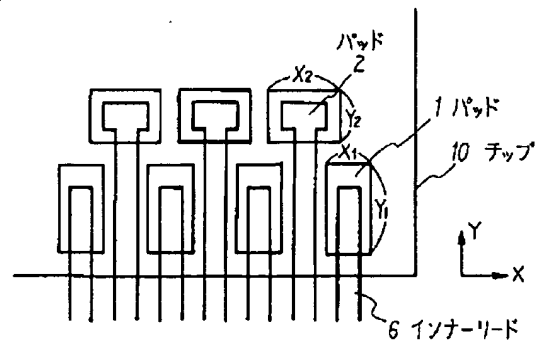
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】半導体集積回路のチップサイズを縮小する。

【構成】パッド1とパッド2をちどり型の配置とし、パッド1の形状が縦長で、パッド2の形状が横長となり、これら2つのパッド1, 2を数段配列する。



【特許請求の範囲】

【請求項1】 一辺の長さが他辺の長さよりも長い横長の長方形のパッドと一辺の長さが他辺の長さよりも短かい縦長の長方形のパッドとが交互に並列に配置されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特にそのパッドの配置および形状に関する。

【0002】

【従来の技術】従来、半導体集積回路におけるパッド配置および形状は、特にパッケージがTCP (Tape Carrier Package) の場合、チップ内におけるパッド部占有面積を小さくするため、図2または図3に示したものが用いられていた。

【0003】従来、チップ10aパッドに接続されるTCPのインナーリード6のピッチは、およそ90 μ m～150 μ m程度であり、1辺が100 μ m程度の正方形パッド3、4と接続するには、パッド間の寸法マージンが不足するため、図2に示す様な、千鳥状にパッド3、4を並列配列にしていることが多かった。

【0004】また、図3の様に長方形のパッド5を並列配置し、インナーリード6のピッチとパッドピッチとを合せ、かつインナーリード6とパッド5の接続面積を確保しようとする場合もあった。

【0005】

【発明が解決しようとする課題】この従来のパッド配置および形状では、インナーリードのピッチが80 μ m程度以下になると、チップ面積を小さくするためには効率的ではない。

【0006】本発明の目的は、このような問題を解決し、チップ面積を小さくした半導体集積回路を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体集積回路の構成は、1辺の長さが他辺の長さよりも長い横長の長方形パッドと一辺の長さが他辺の長さよりも短い縦長の長方形パッドとが並列かつ交互に配置されたことを特徴とする。

【0008】

【実施例】図1は本発明の一実施例のパッド配置図である。本実施例において、パッド1とパッド2の位置関係

は、並列かつ交互になっており、パッド1の形状はX軸の方がY軸より短かく $X_1 \leq Y_1$ 、またパッド2の形状はY軸の方がX軸より短かく $X_2 \geq Y_2$ であり、それら2つのパッド1、2を基本としその基本となるパッドを数段配列するためチップサイズを縮小できる構造となっている。なお、各パッド1、2からはインナーリード6に接続される。

【0009】パッドを並列かつ交互に配置する場合、一列目のパッド1の間にはTCPのインナーリード6が配置されるため、パッド-インナーリード間の距離を設計マージンとして一定以上とる必要がある。また、二列目のパッド2の間にはインナーリード6が配置されないため、パッド-インナーリード間のマージンをとる必要がない。従って、一列目のパッド1はチップ10の長辺に対して縦長に、二列目のパッド2は横長に配置するのがパッドのレイアウトとして最も面積効率が高くなる方法となる。

【0010】例えば、240出力の半導体集積回路の場合、チップサイズを15mm \times 5mmとし、チップの相対する長辺に120個づつパッドが並ぶとする従来例(図2)のパッドサイズを0.12mm \times 0.12mmとし、本実施例のパッドサイズを0.8mm \times 0.18mm、0.12mm \times 0.12mmとすると、X方向に0.04mm \times 60=2.4mmだけ短くなり、Y方向は0.06 \times 2=0.12mmだけ長くなる。従って、チップサイズは12.6 \times 5.12=64.512mm²となり、14%近く縮小したことになる。

【0011】

【発明の効果】以上説明したように本発明は、従来のパッド配置および形状に比べてチップサイズを10～20%縮小できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のパッド配置図。

【図2】従来の半導体集積回路の一例のパッド配置図。

【図3】従来の他の半導体集積回路のパッド配置図。

【符号の説明】

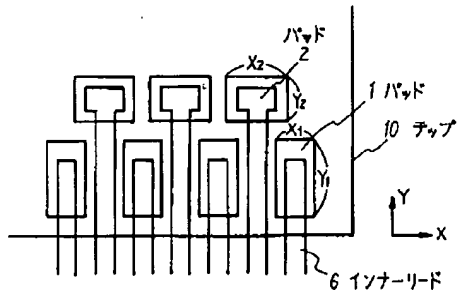
1～5 パッド

6 TCPのインナーリード

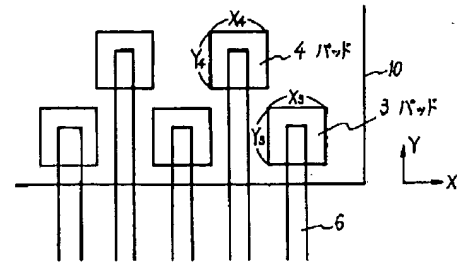
10 チップ

40 X_1 ～ ϕ パッド1～5のX方向の長さ Y_1 ～ ϕ パッド1～5のY方向の長さ

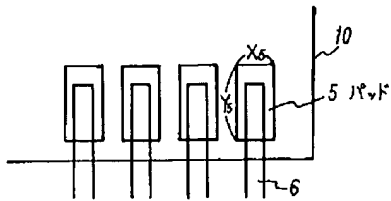
【図1】



【図2】



【図3】



PAT-NO: JP405235090A
DOCUMENT-IDENTIFIER: JP 05235090 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
PUBN-DATE: September 10, 1993

INVENTOR-INFORMATION:
NAME
HASHIMOTO, YOSHIHARU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP04031163
APPL-DATE: February 19, 1992

INT-CL (IPC): H01L021/60, H01L027/04
US-CL-CURRENT: 257/786

ABSTRACT:

PURPOSE: To reduce the chip size of a semiconductor integrated circuit by a method wherein rectangular pads whose lateral side is longer than longitudinal side and other rectangular pads whose lateral side is shorter than longitudinal side are alternately arranged in parallel with each other.

CONSTITUTION: Pads 1 and pads 2 are alternately arranged in parallel with each other. A lateral side $X_{1<SB>1</SB>}$ along an X axis and a longitudinal side $Y_{1<SB>1</SB>}$ along a Y of the pad 1 are set so as to satisfy a formula, $X_{1<SB>1</SB>} \leq Y_{1<SB>1</SB>}$, and a lateral side $X_{2<SB>2</SB>}$

along an X axis and
 a longitudinal side Y_2 along a Y axis of the pad 2
 are set so as to
 satisfy a formula, $X_2 \leq Y_2$. The pads 1
 and 2 are made to
 serve as fundamental parts and arrange in a few rows, so
 that a chip can be
 lessened in size. The pads 1 and 2 are connected to inner
 leads 6
 respectively. The pads 1 in a first row are arranged so as
 to satisfy the
 above formula, $X_1 \leq Y_1$, and the pads 2
 in a second row are
 arranged so as to satisfy the above formula,
 $X_2 \leq Y_2$, where
 the long side of a chip 10 is parallel with a Y axis.

COPYRIGHT: (C)1993, JPO&Japio